

CONVERTISSEUR ANALOGIQUE-NUMERIQUE RAPIDE

L'invention concerne les convertisseurs analogiques-numériques rapides à structure parallèle.

Le principe général d'un tel convertisseur est le suivant : un échantillonneur bloqueur fournit une tension analogique stabilisée pendant un bref intervalle de temps qui est le temps nécessaire à la conversion. Un ensemble de comparateurs en parallèle compare cette tension à des tensions de référence définies par un réseau de résistances en série alimentées par un courant constant.

Des structures de comparateurs à entrées différentielles sont utilisées de préférence parce qu'elles éliminent les erreurs dues aux fluctuations de tensions de mode commun. Dans ce cas, on utilise en général la structure suivante : la tension à convertir, sous forme d'une tension différentielle $V_{in}-V_{inN}$ est appliquée à l'entrée de l'échantillonneur bloqueur E/B qui a une structure différentielle ; les sorties différentielles complémentaires VS et VSN de l'échantillonneur bloqueur, représentant la tension à convertir ($VS-VSN$ est égal à V_i-V_{inN}) sont appliquées sur deux réseaux de N résistances précises, en série ; le courant I_0 dans les réseaux est fixé par des sources de courant identiques ; les prises intermédiaires entre les résistances des deux réseaux sont appliquées deux-à-deux aux entrées des N comparateurs de la manière suivante : la résistance de rang i du premier réseau (alimenté par VS) et la résistance de rang $N-i$ du deuxième réseau (alimenté par la tension complémentaire VSN) sont connectées aux entrées du comparateur $COMPi$ de rang i . Les comparateurs basculent dans un sens ou dans un autre selon le niveau de la tension différentielle VS-VSN, et on peut dire en résumé que si la tension VS-VSN correspond à la limite de basculement du comparateur de rang i , tous les comparateurs de rang inférieur à i basculeront dans un sens et tous les comparateurs de rang supérieur à i basculeront dans l'autre sens ; l'état des sorties des comparateurs fournit donc une indication numérique du niveau de tension analogique différentielle d'entrée.

Cette disposition est rappelée sur la figure 1.

Pour des comparateurs rapides, destinés à fournir un signal numérique à une fréquence d'échantillonnage élevée et susceptibles de recevoir une tension d'entrée analogique pouvant varier rapidement, il se pose alors un problème de constante de temps de réaction de la structure qui vient d'être décrite : le réseau de résistances comprend de nombreuses résistances dès lors qu'on veut une haute résolution pour le comparateur. Ces résistances ont-elles même une capacité parasite et elles sont connectées à des comparateurs qui ont aussi des capacités parasites. La combinaison de ces résistances et de ces capacités parasites induit des constantes de temps de transmission entre les sorties de l'échantillonneur bloqueur et les entrées des comparateurs.

Ces constantes de temps ont en particulier l'effet néfaste suivant : puisque les réseaux de résistance sont croisés, le comparateur de rang i reçoit sur une entrée une tension $VS \cdot i \cdot r \cdot l_0$ après un retard qui en gros est lié à la constante de temps introduite par un ensemble de i résistances élémentaires de valeur r en série, alors qu'il reçoit sur une autre entrée la tension $VSN \cdot (N-i) \cdot r \cdot l_0$ après un retard qui est lié plutôt à la constante de temps introduite par un ensemble de $N-i$ résistances. On comprend donc que cela ne pose pas de problème particulier quand i et $N-i$ sont presque identiques, mais que cela pose un problème lorsque i est proche de zéro ou de N et $N-i$ proche de N ou zéro : en effet, dans ce cas les constantes de temps sont très différentes, ce qui veut dire que le comparateur concerné va recevoir un niveau de tension plus rapidement sur une entrée que sur l'autre. Dans l'intervalle de temps il peut tout simplement fournir une indication fausse. Il y a donc un risque pour que les comparateurs qui sont à la frontière entre le basculement dans un sens ou dans l'autre fournissent une indication erronée. Cette erreur est d'autant plus sensible si la résolution ou la fréquence de conversion sont plus élevées<;

La présente invention a pour but de pallier cet inconvénient dans la mesure du possible.

On propose pour cela un convertisseur analogique-numérique à entrées différentielles et à structure parallèle, comprenant au moins un réseau de N résistances en série de valeur r et un réseau de N comparateurs, caractérisé en ce que

- le réseau de résistances en série reçoit une tension de référence (VH) et est parcouru par un courant fixe I_0 ;

5 - le comparateur de rang i (i variant de 1 à N) comprend essentiellement un amplificateur différentiel double à quatre entrées, deux entrées recevant une tension différentielle VS-VN à convertir, une troisième étant reliée à une résistance de rang i du réseau, et une quatrième entrée étant reliée à une résistance de rang $N-i$ du réseau, l'amplificateur différentiel double fournissant une tension représentant une différence de la forme $(VS-VSN) - (N-2i)r.I_0$, et le comparateur basculant dans un sens ou dans l'autre selon le niveau de la tension VS-VSN et selon le rang i du comparateur lorsque cette différence change de signe.

10 15 L'amplificateur différentiel double à quatre entrées est en pratique constitué par deux amplificateurs différentiels simples qui ont leurs sorties reliées en parallèle, chacun d'eux recevant une des deux tensions différentielles d'entrée d'une part et une des deux tensions issues du réseau de résistances d'autre part.

20 25 Dans une réalisation avantageuse, le réseau de résistances est alimenté par une tension de référence variable issue d'un circuit d'asservissement qui asservit le niveau de tension du milieu du réseau de résistances à une tension égale à la tension de mode commun $(VS-VSN)/2$ présente sur la sortie de l'échantillonneur bloqueur. Cette tension égale à la tension de mode commun est de préférence prélevée en sortie d'un amplificateur tampon dont les caractéristiques de courant et de tension reproduisent les caractéristiques d'un amplificateur différentiel qui fournit les tensions analogiques à convertir VS et VSN. Cet amplificateur tampon reproduit donc en principe les caractéristiques de mode commun de l'amplificateur de sortie de l'échantillonneur bloqueur qui fournit le signal analogique à convertir.

30 Dans une autre réalisation avantageuse, le circuit d'asservissement fournit une tension de référence variable au réseau de résistances et à un autre réseau de résistances semblable au premier,

l'asservissement étant effectué à partir d'une tension prélevée au milieu de l'autre réseau de résistances.

D'autres caractéristiques et avantages de l'invention

5 apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- la figure 1, déjà décrite, représente la structure d'un convertisseur analogique-numérique différentiel rapide de l'art antérieur ;
- la figure 2 représente la structure d'un convertisseur selon 10 l'invention ;
- la figure 3 représente le schéma d'un comparateur élémentaire utilisé dans le schéma de la figure 2 ;
- la figure 4 représente une variante de réalisation dans laquelle 15 une tension prélevée sur un point milieu du réseau de résistances sert à l'asservissement de la tension appliquée à ce réseau ;
- la figure 5 représente une cellule de référence constituée de manière à fournir une tension de référence égale à la tension de mode commun de l'échantillonneur bloqueur ;
- la figure 6 représente une autre variante de réalisation dans 20 laquelle la tension servant à l'asservissement est prélevée sur un réseau miroir du premier réseau de résistances.

La figure 2 représente la structure générale du convertisseur selon l'invention. La sortie de l'échantillonneur bloqueur est une sortie différentielle fournissant une tension V_S et une tension complémentaire V_{SN} , stables pendant la durée de la conversion de l'échantillon courant.

Un réseau de N résistances identiques de valeur r en série, est alimenté en courant constant de valeur I_0 à partir d'une tension haute VH ; une source de courant **SC** en série avec le réseau définit la valeur du courant constant I_0 . Si on appelle i le rang d'une résistance de valeur r dans l'ensemble en série, variant de 1 à $N-1$, A_i est le noeud reliant la résistance de rang i et la résistance de rang $i+1$; A_0 est le noeud reliant la source de courant **SC** à la résistance de rang 1 ; VH est le potentiel du nœud A_N .

On peut calculer le potentiel en tout nœud du réseau de résistances à partir de VH, r et I_0 .

Le potentiel du nœud A_i est $VH - (N-i).r.I_0$. Le potentiel du nœud A_{N-i} est $VH - i.r.I_0$.

Un réseau de N comparateurs doubles $COMP_i$ de rang $i=1$ à N reçoit d'une part les tensions présentes sur les nœuds du réseau de résistances et d'autre part la tension VS et la tension VSN. Plus précisément, le comparateur double de rang i reçoit sur un premier groupe d'entrées d'une part la tension VS et d'autre part la tension présente sur le noeud A_{N-i} de rang $N-i$, et il reçoit sur un deuxième groupe d'entrées d'une part la tension complémentaire VSN et d'autre part la tension présente sur le nœud A_i de rang i .

Par comparateur double, on entend ici essentiellement un amplificateur différentiel double dont les sorties sont reliées entre elles de manière croisée comme on l'expliquera plus loin ; l'amplificateur différentiel double comprend simplement deux amplificateurs différentiels simples, le premier amplificateur recevant VS et le nœud A_{N-i} , le deuxième recevant VSN et le nœud A_i . Les sorties des amplificateurs sont réunies pour agir en sommateur ; en croisant les sorties on fait une différence, de sorte que les sorties fournissent une tension différentielle représentant, avec un coefficient correspondant au gain de l'amplificateur, la différence des différences de tension appliquées aux entrées prises deux à deux :

$$VS - (VH - i.r.I_0) \text{ et } VSN - \{VH - (N-i).r.I_0\}$$

La sortie différentielle de l'amplificateur double représente alors :

$$VS - VSN - (N-2i).r.I_0$$

Cette sortie, éventuellement réamplifiée par un amplificateur à grand gain, permet de convertir en un niveau logique le signe de la différence $VS - VSN - (N-2i).r.I_0$

Tous les comparateurs pour lesquels $VS - VSN$ est supérieur à $(N-2i).r.I_0$ basculent dans un sens, tous les comparateurs pour lesquels $VS - VSN$ est inférieur à $(N-2i).r.I_0$ basculent dans l'autre sens.

La valeur numérique convertie est déterminée par le rang du comparateur tel que tous les comparateurs au-dessous de ce rang soient

dans un premier état et tous les comparateurs au-dessus de ce rang soient dans un second état.

Le nombre de résistances r donne la résolution du comparateur. L'ajustement du courant I_0 permet d'ajuster la plage de conversion, c'est-à-dire la valeur maximale de VS-VSN qui peut être convertie avec la précision définie par le nombre de résistances r .

Pour minimiser les effets dus aux tensions de mode commun et à leurs fluctuations, on s'arrange pour que la tension au milieu du réseau de résistances, c'est-à-dire en pratique la tension présente sur le nœud $A_{N/2}$, soit égale à la tension de mode commun des sorties de l'échantillonneur bloqueur :

$$VH - r \cdot I_0 \cdot N / 2 = (VS + VSN) / 2$$

On règle donc VH en conséquence et on verra plus loin qu'on peut la régler à partir d'un asservissement.

La figure 3 représente la constitution détaillée d'un amplificateur différentiel double à sorties réunies croisées utilisé dans les comparateurs COMP_i de la figure 2. Les transistors représentés sont des transistors bipolaires mais ils peuvent être aussi MOS.

Il comprend deux amplificateurs différentiels linéaires simples à grand gain, identiques et constitués d'une manière classique, c'est-à-dire avec deux branches symétriques alimentées par le courant d'une seule source de courant constant, chaque branche comprenant un transistor en série avec une résistance de charge R. Les bases des transistors sont les entrées des amplificateurs. Le premier amplificateur reçoit VS sur la base du premier transistor T1 et le nœud A_{N-i} sur la base du deuxième transistor T2. Le deuxième amplificateur reçoit VSN sur la base du premier transistor T'1 et le nœud A_i sur la base du deuxième transistor T'2. Les sorties sont montées en sommateur mais croisées : la sortie constituée par le collecteur de T1 est reliée à la sortie constituée par le collecteur de T'2 pour constituer une première sortie de l'amplificateur différentiel double, et réciproquement les collecteurs de T'1 et T2 sont reliés pour constituer une deuxième sortie de l'amplificateur différentiel double ; la sortie du comparateur est constituée par l'une de ces sorties, par exemple le collecteur de T1 et T'2, ou bien par une sortie d'un

amplificateur à grand gain dont les entrées reçoivent les sorties de l'amplificateur double.

La figure 4 représente une variante de réalisation du convertisseur, dans laquelle la tension VH est déterminée automatiquement par un circuit asservi sur la tension de mode commun de l'échantillonneur bloqueur E/B.

On utilise un amplificateur différentiel AD à grand gain, ayant une première entrée reliée au nœud $A_{N/2}$ représentant le milieu du réseau de résistances et une deuxième entrée reliée à la sortie d'une cellule Cref de détermination de la tension de mode commun. La sortie de l'amplificateur différentiel fournit la tension VH, soit directement, soit par l'intermédiaire d'un amplificateur tampon de gain unitaire et de grande impédance d'entrée et de faible impédance de sortie ; une résistance peut également être intercalée entre la sortie de l'amplificateur tampon et la borne A_N .

La tension VH sur la borne A_N s'asservit automatiquement de manière que la différence de tensions à l'entrée de l'amplificateur soit pratiquement nulle. La tension VH prend donc une valeur telle que la tension du nœud $A_{N/2}$ soit égale à la tension de sortie de la cellule de référence.

La cellule Cref doit fournir une tension égale à la tension de mode commun $(VS+VN)/2$ qui existe en sortie de l'échantillonneur bloqueur. Pour cela, la cellule comprend simplement un étage amplificateur tampon constitué avec des éléments géométriquement semblables à ceux de l'étage de sortie de l'échantillonneur bloqueur.

La figure 5 représente la constitution de l'étage de sortie de l'échantillonneur bloqueur et la cellule de référence. L'étage de sortie de l'échantillonneur peut être symbolisé à partir d'un amplificateur linéaire différentiel AD1 chargé par deux résistances R1 et alimenté par une source de courant commune de valeur I1. Des amplificateurs tampons de gain unitaire sont reliés aux sorties différentielles de l'amplificateur ; ces amplificateurs tampons fournissent les tensions VS et VSN. La cellule de référence, alimentée par la même tension Vcc que l'échantillonneur bloqueur, utilise tout simplement un ensemble en série d'une résistance R2 et d'une source de courant de valeur I2, et un amplificateur tampon de

gain unitaire identique à ceux qui définissent les sorties de l'échantillonneur bloqueur. La résistance R2 est égale à k fois (k arbitraire, plus grand que 1 pour limiter la consommation) la résistance de charge R1 des étages de sortie de l'échantillonneur bloqueur ; la source de courant I2 est égale à 1/k fois la source de courant I1 de l'étage différentiel qui constitue l'étage de sortie différentiel de l'échantillonneur bloqueur.

Cette cellule fournit une tension Vref qui est égale à la tension de mode commun $(VS+VSN)/2$ de l'échantillonneur bloqueur.

La figure 6 représente une autre variante de réalisation du convertisseur, dans laquelle l'asservissement de la tension d'alimentation VH du réseau de résistances est réalisé à partir d'un deuxième réseau de résistances, semblable au premier. Ce deuxième réseau est de préférence constitué de résistances de valeur K.r et est parcouru par un courant I_0/k pour consommer moins de courant. La tension appliquée à l'extrémité du deuxième réseau (nœud A'_N du deuxième réseau) est la même tension VH que celle qui est appliquée au nœud A_N du premier réseau. Elle est appliquée par un amplificateur tampon identique à celui qui applique la tension VH au premier réseau, à partir de la sortie de l'amplificateur différentiel AD qui contrôle l'asservissement. Cet amplificateur différentiel, au lieu de recevoir le point milieu $A_{N/2}$ du premier réseau, reçoit le point milieu $A_{N/2}$ du deuxième réseau. Les tensions sur tous les nœuds du deuxième réseau sont identiques à celles sur les nœuds correspondants du premier réseau, par conséquent l'asservissement à partir du nœud $A'_{N/2}$ est identique à un asservissement à partir du nœud $A_{N/2}$.

L'avantage de cette disposition est qu'on évite de perturber l'asservissement par des variations de niveaux de tension qui pourraient apparaître sur le nœud $A_{N/2}$ par influence capacitive ou influence du substrat semiconducteur lors de variations importantes de la tension à convertir.

On a ainsi décrit un convertisseur analogique-numérique à réseau de résistances qui évite l'influence négative des constantes de temps dues aux capacités et résistances du réseau comme c'était le cas dans le schéma de la figure 1. En effet, le réseau de résistances ne reçoit

plus la tension à convertir mais une tension fixe (à part les fluctuations de niveau de mode commun qui interviennent seulement de manière secondaire).

Le convertisseur selon l'invention reste cependant un convertisseur différentiel, ce qui présente des avantages notamment pour l'élimination des distorsions dues aux harmoniques pairs des tensions à convertir.

Enfin, étant donné que les capacités parasites du réseau de résistances n'interviennent plus au premier ordre, on peut prévoir que le réseau de résistances est réalisé par des résistances de plus grande dimension dans le circuit intégré, ce qui permet de les réaliser avec une meilleure précision. Typiquement, alors qu'on s'obligeait à réaliser des résistances de l'ordre de 1 à 2 micromètres de largeur pour minimiser leurs capacités parasites, on peut passer par exemple à des résistances de l'ordre de 200 à 600 micromètres de large.

REVENDICATIONS

1. Convertisseur analogique-numérique à entrées différentielles et à structure parallèle, comprenant au moins un réseau de N résistances en série de valeur r et un réseau de N comparateurs, caractérisé en ce que

5 - le réseau de résistances en série reçoit une tension de référence (VH) et est parcouru par un courant fixe I_0 ;

10 - le comparateur ($COMP_i$) de rang i (i variant de 1 à N) comprend essentiellement un amplificateur différentiel double à quatre entrées, deux entrées recevant une tension différentielle $VS-VN$ à convertir, une troisième étant reliée à une résistance de rang i du réseau, et une quatrième entrée étant reliée à une résistance de rang $N-i$ du réseau, l'amplificateur différentiel double fournissant une tension représentant une différence de la forme $(VS-VSN) - (N-2i)r.I_0$, et le comparateur basculant dans un sens ou dans l'autre selon le niveau de la tension $VS-VSN$ et selon le rang i du comparateur lorsque cette différence change de signe.

20 2. Convertisseur selon la revendication 1, caractérisé en ce que l'amplificateur différentiel double à quatre entrées est constitué par deux amplificateurs différentiels simples qui ont leurs sorties reliées en parallèle, chacun d'eux recevant une des deux tensions différentielles d'entrée d'une part et une des deux tensions issues du réseau de résistances d'autre part.

25 3. Convertisseur selon l'une des revendications 1 et 2, caractérisé en ce que le réseau de résistances est alimenté par une tension de référence variable (VH) issue d'un circuit d'asservissement (Cref, AD) qui asservit le niveau de tension du milieu du réseau de résistances à une tension égale à la tension de mode commun $(VS-VSN)/2$ présente sur la sortie de l'échantillonneur bloqueur.

4. Convertisseur selon la revendication 3, caractérisé en ce que le circuit d'asservissement fournit une tension de référence variable au réseau de résistances et à un autre réseau de résistances semblable au premier,
5 l'asservissement étant effectué à partir d'une tension prélevée au milieu de l'autre réseau de résistances.

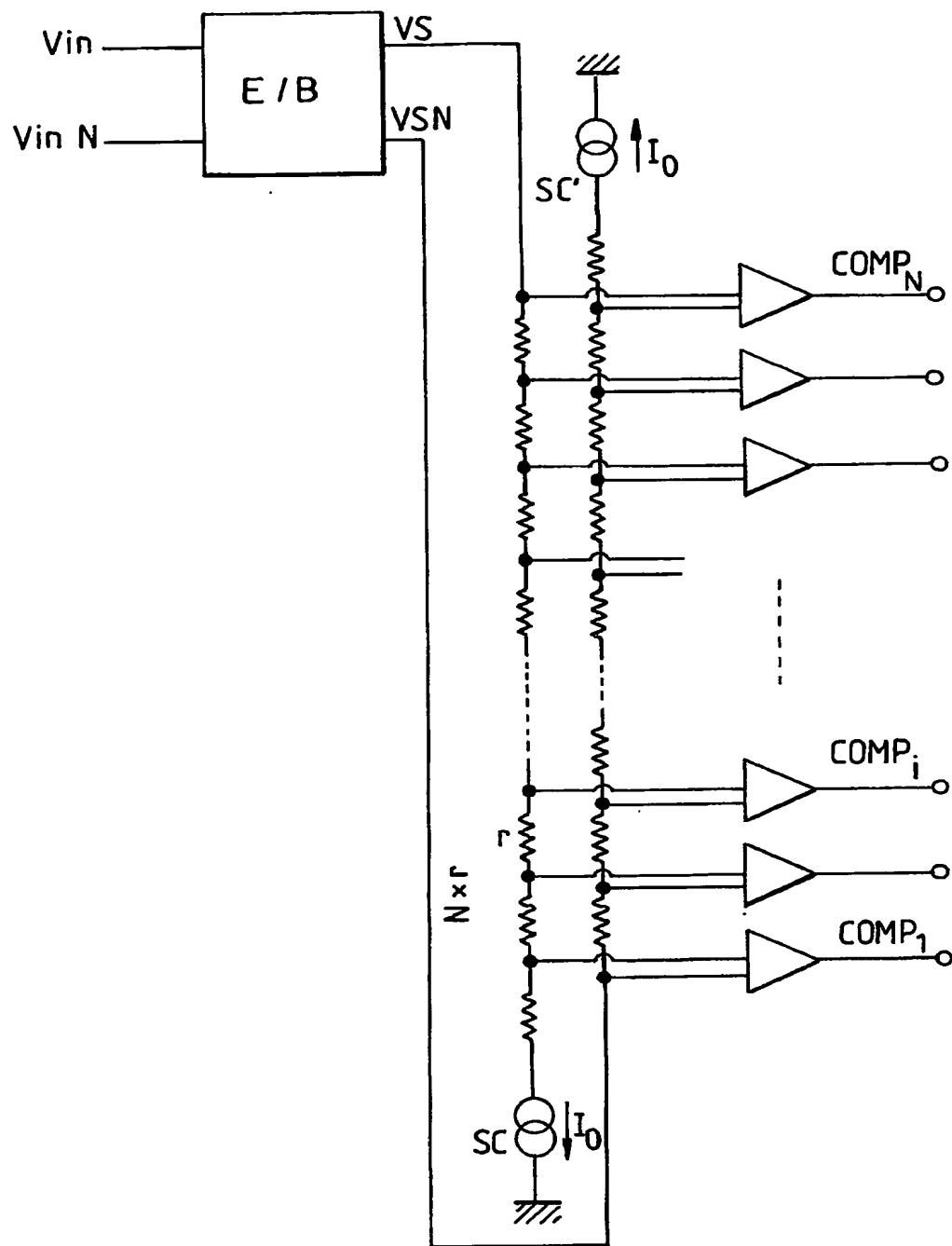
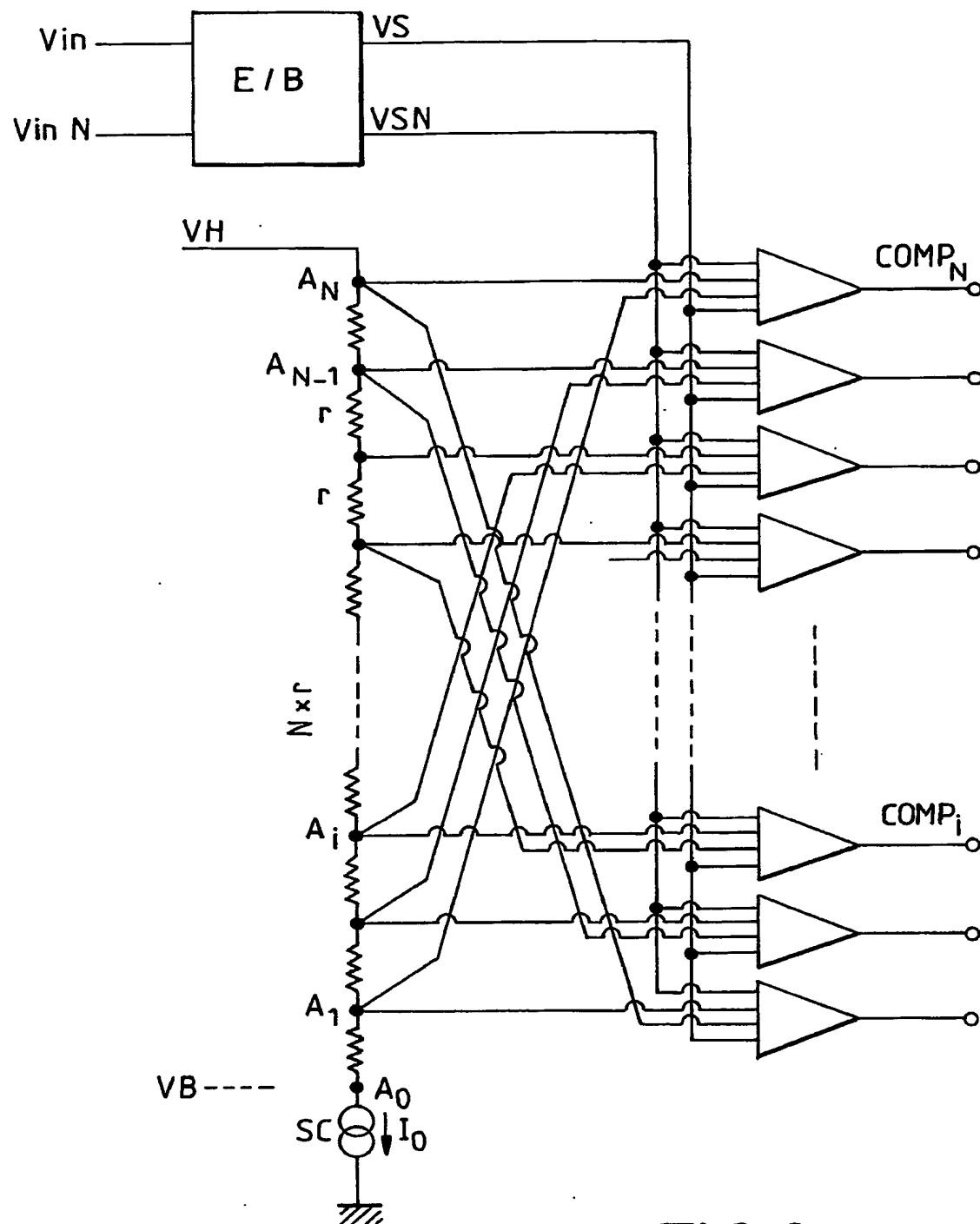


FIG.1

**FIG.2**

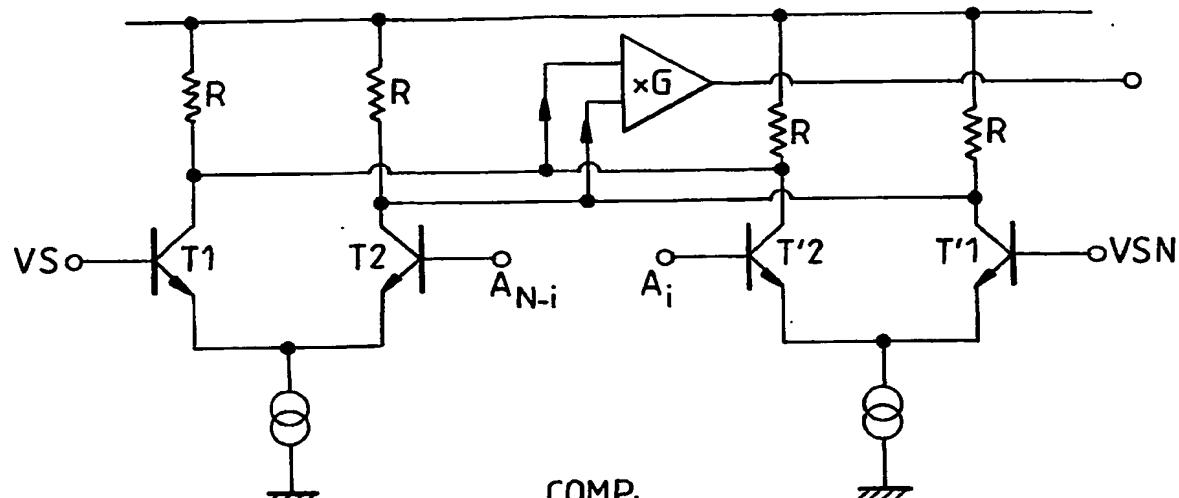


FIG.3

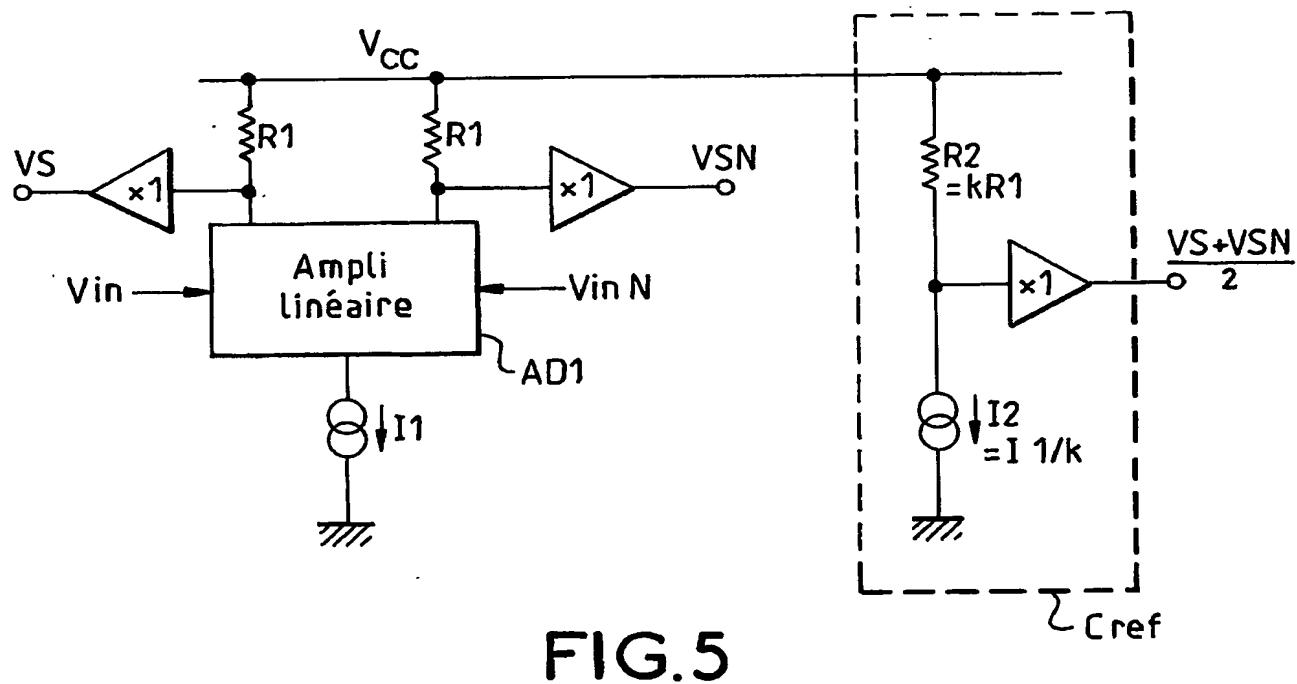


FIG.5

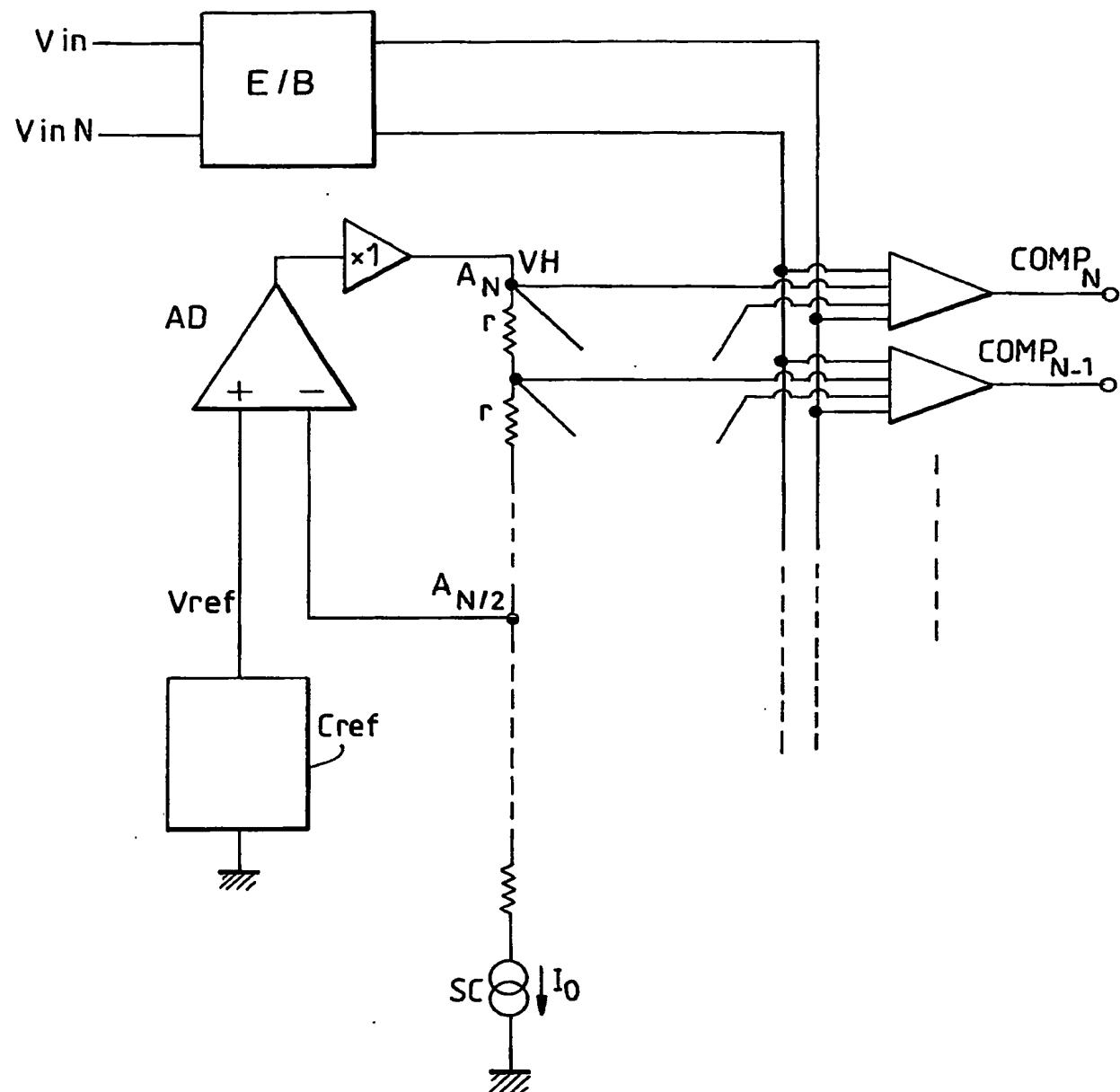


FIG.4

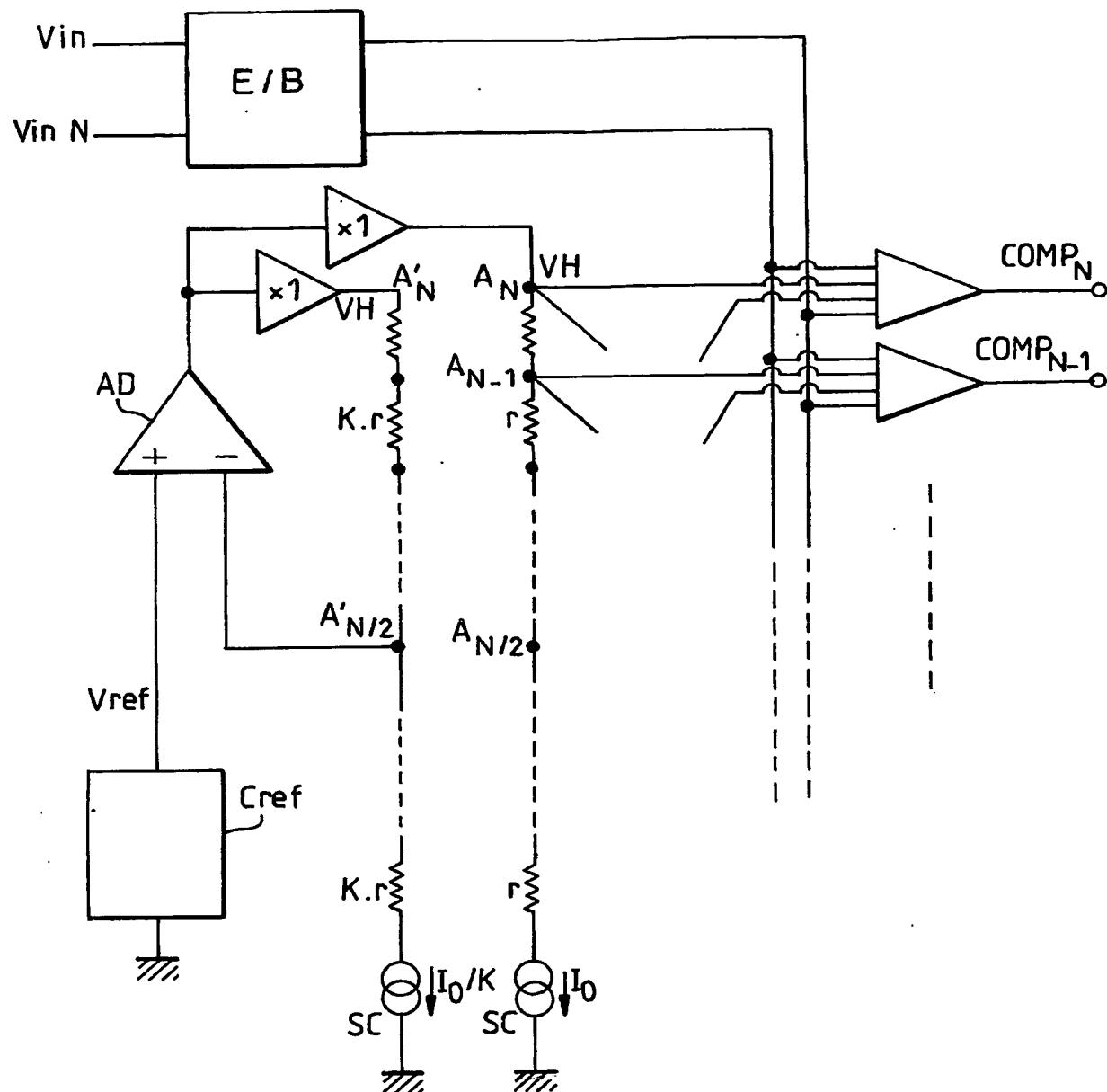


FIG. 6